



Si上ヘテロエピ薄膜ダイヤモンドデバイス研究

著者	川島 宏幸
発行年	2017
学位授与大学	筑波大学 (University of Tsukuba)
学位授与年度	2017
報告番号	12102甲第8317号
URL	http://hdl.handle.net/2241/00149978

氏 名	川島 宏幸
学 位 の 種 類	博 士 (工 学)
学 位 記 番 号	博 甲 第 8317 号
学 位 授 与 年 月 日	平 成 29 年 4 月 30 日
学 位 授 与 の 要 件	学 位 規 則 第 4 条 第 1 項 該 当
審 査 研 究 科	数 理 物 質 科 学 研 究 科
学 位 論 文 題 目	

Si 上ヘテロエピ薄膜ダイヤモンドデバイス研究

主 査	筑波大学教授	理学博士	山崎 聡
副 査	電子・物理工学専攻教授	工学博士	山部 紀久夫
副 査	電子・物理工学専攻教授	工学博士	梅田 享英
副 査	産業技術総合研究所主任研究員	工学博士	小倉 政彦

論 文 の 要 旨

ダイヤモンド半導体の抱える問題点である、基板の製造コスト・基板サイズの解決に向けて、学位審査対象者はヘテロエピ薄膜法というヘテロエピダイヤモンド基板の新しいデバイス活用法を立案し、実際にデバイスを作製し、完成したデバイスの評価を行った。作製された疑似縦型ショットキーバリアダイオード(pVSBD)は HPHT 基板と遜色ないデバイス特性を持っており、Si 上ヘテロエピ薄膜ダイヤモンド基板ならびにヘテロエピ薄膜法の有用性について実証した。本論文は、これら一連の項目について述べたものであり、以下に記す 7 章の内容から構成されている。

第 1 章では序論について述べている。ダイヤモンドデバイスの実用化におけるボトルネックとして、基板のサイズ、製造コストについて挙げており、現在一般的に流通している高温高压(HPHT)法ダイヤモンド基板では製造工程上に制限があるため、最終的なデバイス単価が高くなると述べている。この問題を解決すべく、Si や MgO などの他材料上にダイヤモンドを成膜するヘテロエピタキシャル成長法の研究が続いている。しかし、自立化法と呼ばれる、ミリ単位の膜厚のダイヤモンドをヘテロエピタキシャル成長し、ダイヤモンドのみを切り出す、従来のヘテロエピダイヤモンド基板の作製法では、下地基板とダイヤモンド膜との間に発生する応力を緩和させる構造が必要となることやダイヤモンド層の成膜時間が増大するといった点があり、これらは最終的な基板品質や製造コストにおいて懸念されることを示唆した。そこで、審査対象者はヘテロエピダイヤモンド層を数十 μm 程度の薄膜かつ下地基板を残したままデバイス応用する手法である、ヘテロエピ薄膜法を立案した。ヘテロエピ薄膜法はヘテロエピダイヤモンド基板の持つメリッ

トはそのままに、ダイヤモンドは薄膜でよいため応力緩和構造が不必要、更には成膜時間も少なくても良いといったメリットが加わる。そのため、製造コストの点でより将来性があると述べている。

第 2 章では、プラズマ化学気相成長 (CVD) 装置などのデバイスを作製する際に使用した装置、ならびにダイヤモンドにおける一般的な使用法について述べられている。ただし、本章で述べた手法は HPHT 基板など、従来の単結晶ダイヤモンド基板で用いることができた手法であり、Si 上ヘテロエピ薄膜ダイヤモンド基板でもこれらの装置を用いるためには、基板サイズ等において単結晶ダイヤモンド基板と近い状態にする必要があると述べている。

第 3 章では、本論文で使用した Si 上ヘテロエピ薄膜ダイヤモンド基板について述べている。基板の構造は、直径約 10mm、厚さ 1mm の(001)面のリンドーブ n 型 Si 基板上に中間層、イリジウム層を成膜した後、バイアス印加核生成 (BEN) 法によりダイヤモンド核を生成し、その後、プラズマ CVD 装置により、ダイヤモンド膜を成膜したものと述べている。また、結晶性評価として X 線回折法による(004)面半値幅は約 0.16° 、欠陥評価としてエッチピット法によるエッチピット密度は約 $3 \times 10^8 \text{ cm}^{-2}$ であり、ヘテロエピダイヤモンド基板としては他研究チームのものと同程度であるが、HPHT 基板と比べるとまだ改良の余地があるとしている。この結晶性、エッチピット密度の差がデバイス特性にどう影響するかが一つの焦点であると述べている。また、デバイスプロセス実施にあたり、HPHT 基板の状態に近づけるために、2mm 角へのカット、表面研磨を施していた。なお未研磨のままだと、リークが発生し、良好なデバイス特性が得られないことを後述している。

第 4 章では、この基板でのデバイスプロセスにあたる、ヘテロエピ薄膜法について述べている。作製するデバイスとして、pVSBD を選択している。選択理由は、過去に HPHT 基板で良好なデバイス特性が得られたことから、HPHT 基板との比較を目的としたことと、デバイスプロセスが比較的容易なためとしている。デバイスプロセスは単結晶ダイヤモンド基板のものをベースに行ったが、そのまま行くと基板の破損などの問題が度々生じたため、作製テスト時に問題の生じたプロセスでは Si 上ヘテロエピ薄膜ダイヤモンド基板向けに調整を行ったと述べている。

第 5 章では、ヘテロエピ薄膜法により作製された pVSBD の電気特性について述べている。作製された pVSBD は 12 乗台の整流比が得られ、HPHT 基板上のものと比較しても遜色ないデバイス特性が得られたことを示している。また、逆方向特性も約 1 MV/cm の絶縁破壊電界強度が得られており、本論文のようなシンプルな構造でも Si の材料限界を超える耐圧が得られている。また、再現性、面内分布においても優秀な結果を得たことを示している。これらの結果より、ヘテロエピ薄膜法がデバイス応用法としての有効性を実証しただけでなく、pVSBD において 10^8 cm^{-2} 台のエッチピット密度は致命的なキラ欠陥として作用しないことも明らかにしている。

第 6 章では今後の展望として、Si 上ヘテロエピ薄膜ダイヤモンド基板の新たな活用法について述べている。アンペア級の大電流動作が期待できるデバイス構造として、2つの構造について述べている。一つ目は、大面積電極の適用である。これは、Si 上ヘテロエピ薄膜ダイヤモンド基板の良好な面内分布を利用した構造である。二つ目は、加工のしやすい Si が下地基板であることを利用し、エッチングにより数十 μm のヘテロエピダイヤモンド薄膜部分のみを露出させた、縦型薄膜デバイス構造である。どちらも Si 上ヘテロエピ薄膜ダイヤモンド基板ならではのより低抵抗化が可能な構造であり、このような新しいデバイス構造の研究が進行中であると述べている。

第7章で本論文の統括を述べている。ヘテロエピ薄膜法を通じ、Si 上ヘテロエピ薄膜ダイヤモンド基板の有用性について示している。更に研究を進めることにより、基板サイズ・製造コストのダイヤモンド基板のボトルネック解消に繋がる可能性がある」と述べている。

審 査 の 要 旨

〔批評〕

ダイヤモンド半導体の実用化にとって欠かすことのできない基板の問題に、一つの解を与える内容が論文には記載されている。ダイヤモンド半導体応用の魅力から記載が始まり、実用化されたときのインパクト、また、実用化までの問題点、その問題点を解決するために行った本論文内容、さらに、将来展望まで記載されており、学位論文として十分な内容である。

審査対象者の全体発表では、研究対象の意義、社会的要請、からスタートし、企業との共同研究の経緯、実験の詳細、得られた結果、今後の展望まで、一連の研究の説明に必要な項目を順に取り上げ、そつなく説明ができた。

審査においては以下のような、主な質疑応答があった。

- 1) エッチピット密度と電気的特性の関係。
- 2) 表面研磨の有無と電気的特性の関係。
- 3) p+層とp層ダイヤモンド薄膜成長の詳細。
- 4) ダイヤモンド基板が厚くなった際の問題点。

それぞれにおいて以下の説明が審査対象者よりなされた。

- 1) エッチピット密度が基板作製法によって変わることで、電気的特性に影響を与えるものと与えないものがあること、今回の薄膜ヘテロ法では影響を与えないものがおもであることの説明があった。
- 2) 研磨なしではリークが多くあり、研磨が必要であることを、データを示しながら、説明した。
- 3) それぞれの成膜法、条件の説明、薄膜ヘテロ基板を使う際の注意点の説明があった。
- 4) 厚くなることによる、各レイヤー間の物理的な歪、熱的な歪について説明があった。

質疑応答では、自身の実験結果、解析結果をもとに、過去の文献を参照し、論理的な理解を明確に説明した。また、今後の展望についても俯瞰的な説明があった。

審査員からは、本成果が工学として非常に優れた意義高いものであることが指摘された。

全体の発表質疑応答を通し、また、学位論文の内容とともに、審査員の満足のいくものであった。

〔最終試験結果〕

平成29年3月13日、数理物質科学研究科学位論文審査委員会において審査委員の全員出席のもと、著者に論文について説明を求め、関連事項につき質疑応答を行った。その結果、審査委員全員によって、合格と判定された。

〔結論〕

上記の論文審査ならびに最終試験の結果に基づき、著者は博士(工学)の学位を受けるに十分な資格を有するものと認める。